

PUB-NO: JP363043576A
DOCUMENT-IDENTIFIER: JP 63043576 A
TITLE: PULSE WIDTH MODULATION TYPE INVERTER

PUBN-DATE: February 24, 1988

INVENTOR-INFORMATION:

NAME

COUNTRY

TANAKA, TAKESHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP61187251

APPL-DATE: August 7, 1986

INT-CL (IPC): H02M 7/5387; H02M 7/48

ABSTRACT:

PURPOSE: To obtain a low loss and a high efficiency inverter, by utilizing high speed switching semiconductor elements as one sides of series-connecting-arms, and low ON-loss semiconductor elements as the other sides of them.

CONSTITUTION: In order to convert direct current from a DC power source 1, to alternating currents, a pulse width modulation type inverter, is constituted with arms composed of fieldeffect transistors(FET)3a~3b as high speed switch semiconductor elements, and bipolar transistors(BJT)6a~6b as low ON-loss semiconductor elements, and the arms are controlled by switching through gate units 4a~4d. Then, by the FETs 3a~3b, the magnitude of an output power is controlled, and by the BJTs 6a~6b, the frequency of output is controlled, and power is fed to a load 2. As a result, a pulse width modulation type inverter of low loss and high efficiency can be obtained.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-43576

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月24日

H 02 M 7/5387
7/487531-5H
F-8730-5H

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 パルス幅変調形インバータ装置

⑯ 特 願 昭61-187251

⑰ 出 願 昭61(1986)8月7日

⑱ 発 明 者 田 中 毅 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

パルス幅変調形インバータ装置

2. 特許請求の範囲

(1) それぞれのスイッチング素子からなる一対のアームの直列接続体を直流電源に対して複数個並列に接続し、上記一対のアームの直列接続点から上記スイッチング素子の導通期間応じた交流電力を出力するパルス幅変調形インバータ装置において、上記直列接続された一対のアームの一方を高速スイッチング用半導体素子、他方を低オン損失用半導体素子で構成したことを特徴とするパルス幅変調形インバータ装置。

(2) 高速スイッチング用半導体素子は、電界効果トランジスタ又は、バイモストランジスタであることを特徴とする特許請求の範囲第1項記載のパルス幅変調形インバータ装置。

(3) 低オン損失用半導体素子は、バイポーラトランジスタであることを特徴とする特許請求の範囲第1項記載のパルス幅変調形インバータ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、直流電源と直列に接続されたスイッチング素子のオン・オフによるパルス幅制御により、パルス幅に応じた電力を出力するパルス幅変調形インバータ装置に関するものである。

〔従来の技術〕

第3図は、IE Aust. 8 IEEE Aust., Vol. 8 第1 (1985年3月発行) P49~P53に示された従来のパルス幅変調形インバータ装置(以下PWMインバータ装置と称する)の一例である。図において、(1)は直流電源、(2)は負荷、(3a)~(3d)は直流電源(1)からの直流電流を交流に変換する為に必要な高速スイッチング用半導体素子で、電界効果トランジスタ(以下FETと称す)が使用されている。上記FET(3a)~(3d)はインバータ装置のアームを構成し、(3a)と(3c)、(3b)と(3d)がそれぞれ直列接続され、かつこれらの直列接続体が直流電源に対して並列接続されている。(4a)~(4d)はFET(3a)~(3d)のスイッチングを制御するゲート

ユニット、(5a)～(5d)はFET(3a)～(3d)に並列に接続され、FET(3a)～(3d)がオフ状態の時通電するダイオードである。

次に動作について説明する。第4図は、第3図のPWMインバータ装置の動作を説明するタイミング図である。以下このタイミング図に則して説明する。ゲートユニット(4a)(4d)の指令により時間 $t_1 \sim t_2$ の間はFET(3a)(3d)がオフの状態にあり(第4図A、B参照)ゲートユニット(4c)からの指令によりFET(3c)が Δt の一定期間オン状態で(第4図C参照)、さらにゲートユニット(4b)によりFET(3b)が高速でオン・オフ制御される(第4図D参照)。この時、直流電源(1)からの直流電流はFET(3b)がオンの時、直流電源(1)→FET(3b)→負荷(2)→FET(3c)→直流電源(1)と環流し、FET(3b)がオフの時、負荷(2)→FET(3c)→ダイオード(5d)→負荷(2)と環流する。FET(3b)のオン期間を調整することにより、第4図Eのように直流電流を近似的に正弦波の半波を作るよう制御することができる。 $t_2 \sim t_3$ ではFET(3b)、(3c)がオフ状態とな

り、かわつてFET(3d)がオン状態、FET(3a)がオン・オフの連続高速スイッチング動作を行なう。これによつてFET(3a)がオンのとき直流電源(1)→FET(3a)→負荷(2)→FET(3d)→直流電源(1)と環流し、FET(3a)がオフのとき、負荷(2)→FET(3d)→ダイオード(5c)→負荷(2)と環流する。これにより第4図Fのように直流電流を近似的に正弦波の半波を作るように制御する。以上のような動作を繰り返し行うことにより、直流を交流に近似させ負荷に供給することができる。

(発明を解決しようとする問題点)

従来のPWMインバータ装置は、高速にスイッチングを行なうためスイッチング素子としてFET、バイモストランジスタ等の高速スイッチング用素子が使用されていたが、第3図のFET(3c)(3d)のように、高速でスイッチングする必要がないのに高速スイッチング用素子が使用され、かつ、この種の高速スイッチング用素子はオン損失が非常に大きい為、PWMインバータ装置の電力効率が悪いという問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、電力損失の少ない高効率なPWMインバータ装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係るPWMインバータ装置は、直列接続された一対のアームの一方を高速スイッチング用半導体素子、他方を低オン損失用半導体素子で構成したものである。

(作用)

この発明におけるPWMインバータ装置は、高速スイッチング用半導体素子により出力電力の大きさを制御し、低オン損失用半導体素子により、出力の周波数制御を行ない、制御された直流電源からの電力を負荷に供給する。

(実施例)

以下この発明の一実施例を図において説明する。第1図に於て(1)、(2)、(3a)、(3b)、(4a)～(4d)、(5a)～(5d)は従来装置と全く同一のものである。(6a)、(6b)は各直列接続された一対のアームの一方を構成する低オン損失用スイッチング素子であ

るバイポーラトランジスタ(以下BJTと称す)である。

次に第1図のPWMインバータ装置の動作を説明する。第2図は第1図のPWMインバータ装置の動作を説明するタイミング図である。PWMインバータ装置の動作としては第2図のタイミング図により明らかであるが、従来のPWMインバータ装置と同様の動作を行い負荷(2)に電力を供給している。即ち、時間 $t_1 \sim t_2$ の間の動作として、FET(3a)、BJT(6b)がオフの状態にあり(第2図A₂、B₂参照)、ゲートユニット(4c)からの指令によりBJT(6a)が Δt の一定期間オン状態で(第2図C₂参照)、さらにゲートユニット(4b)によりFET(3b)が高速でかつ連続的にオン・オフ制御される。(第2図D₂参照)、この時、直流電源(1)からの直流電流は、FET(3b)がオンの時、直流電源(1)→FET(3b)→負荷(2)→BJT(6a)→直流電源(1)と環流し、FET(3b)がオフの時、負荷(2)→BJT(6a)→ダイオード(5d)→負荷(2)と環流する。FET(3b)のオン期間を調整することにより、第2図E₂のように直流

電流を近似的に正弦波の半波を作るよう制御することができる。 $t_2 \sim t_3$ の期間も上述の動作と同様な動作をFET(3a),BJT(6b)が行ない直流電流を近似的に正弦波の半波とする。一連の動作中、BJT(6a),(6b)は一定の期間(第2図 $t_1 \sim t_2$ または $t_2 \sim t_3$ 参照)オン状態を持続させるように使用される。尚、上記実施例では、高速スイッチング用半導体素子としてFETを用いたが、バイモストランジスタ、SIT(静電誘導形トランジスタ)等を用いてもよく、又、低オン損失用半導体素子としてBJTを用いたが、高速スイッチング半導体(例えばFET)より低オン損失であればいかなる素子でもよい。

〔発明の効果〕

以上の様に、この発明によれば直列接続された一対のアームの一方を高速スイッチング用半導体素子、他方を低オン損失用半導体素子としたことにより、損失の少ない高効率のPWMインバータ装置を得ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるPWMインバータ装置の回路図、第2図は第1図のPWMインバータ装置の動作を説明するタイミング図、第3図は従来のPWMインバータ装置の回路図、第4図は第3図のPWMインバータ装置の動作を説明するタイミング図である。

図中、(3a),(3b)は高速スイッチング用半導体素子、(6a),(6b)は低オン損失用半導体素子である。

なお、図中、同一符号は同一、または相当部分を示す。

代理人 大 岩 増 雄

